

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03177961 A**(43) Date of publication of application: **01.08.91**
 JC542 U.S. PTO
 09/438247


(51) Int. Cl.

G06F 15/16
G06F 15/62
G06F 15/66
G06F 15/66
H04N 5/265
// G09G 5/00
H04N 1/41

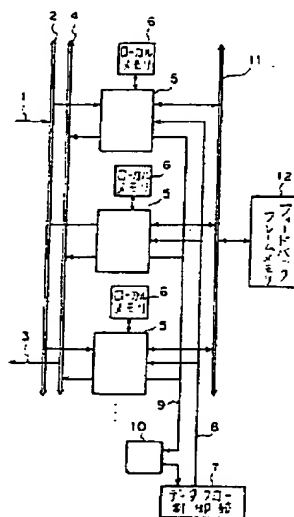
(21) Application number: **01318370**(22) Date of filing: **07.12.89**(71) Applicant: **MITSUBISHI ELECTRIC CORP**
 (72) Inventor: **OGURA KOJI**
MURAKAMI ATSUMICHI
(54) MULTIPROCESSOR CONTROLLER

(57) Abstract:

PURPOSE: To efficiently perform the processing of a moving image signal with parallel processors fewer than ever by dynamically allocating the load distribution of each processor in processing block unit with a data flow control part.

CONSTITUTION: A system is comprised in such a way that parallel processing is applied to an image in frame unit inputted from an input bus 2 after dividing into plural blocks of small screen with plural parallel processors 5, and they are outputted to an output bus 4. For that purpose, the system is comprised so that the processing state of each processor 5 and the working state of the output bus 4 are stored in a state register 10, and the load distribution of the processor 5 can be dynamically allocated in block unit with the data flow control part 7, and also, access to the input bus 2 and the output bus 4 by the processor 5 can be performed asynchronously. Thereby, it is possible to efficiently control the encoding, processing, and delivery of a moving image only by providing a few number of processors of comparatively low speed, and to contribute to the miniaturization and low cost of the system.

COPYRIGHT: (C)1991,JPO&Japio



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-177961

⑬ Int. Cl. ⁵	識別記号	庁内整理番号	⑭ 公開 平成3年(1991)8月1日
G 06 F 15/16	3 8 0 Z	6945-5B	
15/62	3 4 0	8125-5B	
15/66		8419-5B	
H 04 N 5/265	3 3 0 A	8419-5B	
// G 09 G 5/00		8942-5C	
H 04 N 1/41	Z	8121-5C	
	Z	8220-5C	
審査請求 未請求 請求項の数 1 (全6頁)			

⑬ 発明の名称 マルチプロセッサ制御装置

⑯ 特 願 平1-318370

⑰ 出 願 平1(1989)12月7日

⑱ 発 明 者 小 倉 康 二 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社通信システム研究所内

⑱ 発 明 者 村 上 篤 道 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社通信システム研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 田澤 博昭 外2名

明 細 書

1. 発明の名称

マルチプロセッサ制御装置

2. 特許請求の範囲

入力バスから入力されたフレーム単位の画像を小画面の複数ブロックに分けて並列処理して外部バスへ出力する複数の並列接続されたデジタル信号処理プロセッサと、これらのデジタル信号処理プロセッサの処理状態および上記外部バスの使用状態を記憶する状態レジスタと、この状態レジスタの状態出力にもとづき、上記デジタル信号処理プロセッサの負荷配分を上記ブロック単位で動的に割り付け、かつこれらのデジタル信号処理プロセッサが上記入力バスおよび出力バスに非同期にアクセスできるようにするデータフロー制御部とを備えたマルチプロセッサ制御装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、並列構成の複数のデジタル信号処理プロセッサにより、フレームごとの画像デー

タをブロック単位で処理するマルチプロセッサ制御装置に関するものである。

(従来の技術)

第5図は例えばアイイーイーイー グロブコム '87 P453「リアルタイム ビデオ シグナル プロセッサ スータブル フォア モーション ピクチャ コーディング アプリケーションズ」(IEEE GLOBECOM '87 P453「A Realtime Video Signal Processor suitable for Motion Picture Coding Applications」)に示された従来のマルチプロセッサ制御装置を示すブロック接続図であり、図において、1は入力信号、3は出力信号、5は並列接続された複数のデジタル信号処理プロセッサ(以下、プロセッサという)、201は各プロセッサ5に対する入力バス2および出力バス4上の入出力信号1、3の入出力を制御する入出力データバススイッチ、13は各プロセッサ5に分配されるフィードバック

クデータ、202は各プロセッサ5へのフィードバックデータ13を制御するフィードバックバススイッチ、12は各プロセッサ5が出力するフィードバックデータ13を記憶するフィードバックフレームメモリである。

次に動作について説明する。このマルチプロセッサ制御装置では、動画像信号処理を対象とし、1フレームの画像をいくつかの小画面に分割して各プロセッサ5に割り当てる領域分割型の並列処理を行う。すなわち、ラスタ走査状に転送されてくる入力信号1は入出力データバススイッチ201により分配され、各プロセッサ5は1フレーム分の時間を費やして担当領域のデータを取り込む。同時に、前のフレームの処理結果を必要とする場合、各プロセッサ5はフィードバックバスを介して所要領域のフィードバックデータ13をフィードバックフレームメモリ12から取り込む。次に、各プロセッサ5内で処理された処理済データは互いに他のプロセッサ5の処理済データとタイミングの同期がとられ、これらの個別に処理されたデ

ータが1フレームに組み立てられる。このため、各プロセッサ5の処理開始タイミングは完全に同期する必要がある。1フレームに再構成されたデータは、次の処理に応じて、出力バス4あるいはフィードバックフレームメモリ12に出力される。入出力データバススイッチ201はフレーム同期したデータ入出力タイミングおよび処理開始タイミングを各部に供給する。同様に、フィードバックバススイッチ202はフレーム同期したフィードバックデータ13の入出力タイミングを各部に供給する。

このマルチプロセッサ制御装置では、第6図に示すような典型的な動画像符号化で用いられるフィルタを実現する場合に、入力データ中の担当領域に相当する部分とその周辺データを取り込み、フィルタ処理する。第6図において、注目画素 $X_{i,j}$ にフィルタ処理した $X'_{i,j}$ は

$$X'_{i,j} = (X_{i-1,j-1} + 2X_{i,j-1} + X_{i+1,j-1} + 2X_{i-1,j} + 4X_{i,j} + 2X_{i+1,j} + X_{i-1,j+1} + 2X_{i,j+1} + X_{i+1,j+1}) / 16$$

で求められる。

この処理において、処理単位ブロックの外周一画素の計算については周辺処理ブロックの画素を必要とする。また、1フレームをM個に分割して処理するときの1フレーム当りの処理時間Tは例えば第7図(a)のように3分割した領域A、B、Cについては、第7図(b)のような処理時間Tとなる。すなわち、この処理時間Tは

$$T \approx \text{MAX}(T_{fn}, n=0, M) \geq \frac{T_f}{M}$$

T_f : 1つのプロセッサ5で1フレームの処理を行ったときの、1フレームあたりの処理時間

T_{fn} : n個のプロセッサで1フレームの処理を行ったときの小画面あたりの処理時間

で与えられる。これより、分割数を増やすことで、比較的低速のプロセッサを用いても、高速の画像処理が可能となる。そして、このようなフレーム間動画像符号化では、例えば前の処理の結果から、

ブロック単位にフィルタのオン/オフを適応制御するのが一般的で、このため処理時間に偏差が生じる処理となる。

〔発明が解決しようとする課題〕

従来のマルチプロセッサ制御装置は以上のように構成されているので、このような処理時間に偏差が生じる処理では、各プロセッサ5へ固定的な負荷配分を行うため、処理時間の割り当てを最悪値に設定する必要がある、処理能力に余裕があるにもかかわらずプロセッサ5の並列数が増大するなどの課題があった。

この発明は上記のような課題を解消するためになされたもので、より少ないプロセッサの並列数で効率の良い動画像信号の処理ができるマルチプロセッサ制御装置を得ることを目的とする。

〔課題を解決するための手段〕

この発明に係るマルチプロセッサ制御装置は、複数の並列接続されたプロセッサにより、入力バスから入力されたフレーム単位の画像を小画面の複数ブロックに分けて並列処理して、外部バスへ

出力できるようにし、これらの各プロセッサの処理状態や外部バスの使用状態を状態レジスタに格納し、この状態レジスタの状態出力にもとづいて、データフロー制御部により上記プロセッサの負荷配分を上記ブロック単位で動的に割り付け、かつこれらのプロセッサが上記入力バス、出力バスに非同期にアクセスするような構成としたものである。

〔作用〕

この発明におけるマルチプロセッサ制御装置は、上位のデータフロー制御部によって各プロセッサの負荷配分を処理ブロック単位に動的に割り付け、各プロセッサが入力バスを非同期にアクセスできるようにし、また、状態レジスタに各プロセッサの処理状態を記憶させ、各プロセッサ間のバス調停を図りながら、最小構成で効率の良い画像をブロック単位で並列処理するように動作する。

〔発明の実施例〕

以下、この発明の一実施例を図について説明する。第1図において、1は入力信号、2は入力バ

ス、3は出力信号、4は出力バス、5は並列接続された複数のプロセッサ、6は各プロセッサ5に接続されて個別に使用できる読み書き可能なローカルメモリ、7は各プロセッサ5の入出力タイミングおよびフィードバックデータの入出力タイミングを制御するデータフロー制御部、8はデータフロー制御部7より各プロセッサ5に対して、入出力データおよびフィードバックデータの入出力許可を通知する入出力制御信号、9は各プロセッサ5からデータフロー制御部7へプロセッサ5の状態を通知する状態信号、10は各プロセッサ5の状態の一覧を記憶した状態レジスタ、11はフィードバックバス、12はフィードバックフレームメモリである。

第2図は上記ブロック接続図の詳細を示す要部のブロック接続図であり、101はフィルタ未処理データ、12はフィルタ未処理データ101を1フレーム分記憶したフィードバックフレームメモリ、5はフィルタ処理をブロック単位で行うプロセッサ、102はフィルタ処理を行う有意画素

を含む有効ブロックとその周辺画素データ、103はフィルタ処理済データの中で周辺の処理ブロックのフィルタ処理に影響しないインサイド部の画素データ、104はフィルタ処理済データの中で周辺の処理ブロックのフィルタ処理に影響するエッジ部およびコーナ部の画素データ、6は上記のようなローカルメモリで、これがエッジ部およびコーナ部の画素データを1フレーム分時間遅延する、105はフィルタ処理後にローカルメモリ6からフィードバックフレームメモリ12に転送される1フレーム分のデータである。

第3図はフレーム分割した処理ブロックを示し、106は処理ブロックのインサイド部、107は処理ブロックのエッジ部、108は処理ブロックのコーナ部である。

また、第4図は3つのプロセッサに対して動画像のフレームを分割する原理を説明する説明図である。

次に動作について説明する。この発明では、動画像信号処理を対象とし、1フレームを構成する

複数個の処理ブロックを順に空状態のプロセッサ5に割り当てる動的分割式の並列処理を行う。すなわち、第1図において、データフロー制御部7は各プロセッサ5の処理状態を記憶した状態レジスタ10を読み出して、入力待ち状態にあるプロセッサ5の1つに対して、入出力制御信号8を出力して起動をかける。入出力制御信号8を受けたプロセッサ5は、データフロー制御部7により通知された担当の処理ブロックの画像データを、入力バス2を介して取り込む。さらに、前フレームのデータをフィードバックバス11を介してフィードバックフレームメモリ12より取り込み、予め決められた処理を行う。この処理を完了したプロセッサ5は出力待ちの状態信号9を状態レジスタ10に出力して待ち状態に入る。その後、データフロー制御部7が状態レジスタを読み出した時、出力バス4が空状態ならば、該当プロセッサ5に出力を許可する制御信号を出力する。制御信号を受けたプロセッサ5は出力バス4を介して処理済データを出力する。

次にこの動作の詳細を、第2図乃至第4図を参照して説明する。ここでは、プロセッサ5が3つのプロセッサ5A, 5B, 5Cからなり、かつ動画フレームを動的に分割する場合について述べる。まず、各プロセッサ5A, 5B, 5C間には予め優先順位が決められており、優先順位の高い順、例えばプロセッサ5Aが一番高く、プロセッサ5Cが一番低い順位に、ブロック単位で入力ブロックを読み出し、各プロセッサ5A~5Cについて予め設定されたプログラムにもとづいて画像符号化処理を行う。このとき、フレームの先頭に位置する3つのブロックは、第4図(a), (b)に示すようにプロセッサ5Aに対してブロック a_1 がプロセッサ5Bに対してブロック b_1 が、プロセッサ5Cに対してブロック c_1 がそれぞれ割り当てられる。これら3つのプロセッサ5A~5Cのうち最初にブロック c_1 の処理を完了したプロセッサ5Cに対して、データフロー制御部7は次のブロック c_2 を割り当てる。以降、1フレームの処理が完了するまで、処理が完了して空状態

となったプロセッサに対して、次ブロックを担当させていく。すなわち、ブロック $c_2 \rightarrow$ ブロック $a_2 \rightarrow$ ブロック $b_2 \rightarrow$ ブロック $b_3 \rightarrow \dots$ のようになる。

また、フィードバックフレームメモリ12に記憶されたフィルタ未処理の1フレームのデータは、フィルタ処理を行う有意画像を含む有効ブロックと有意画像を含まない無効ブロックから構成されている。そして、第1図において、データフロー制御部7からその有効ブロックのうちの1つを割り当てられたプロセッサ5は、フィードバックフレームメモリ12から有効ブロックとその周辺画像を入力してフィルタ処理を行う。プロセッサ5は処理後に周辺ブロックのフィルタ処理に使用しないインサイド部106の画像をフィードバックフレームメモリ12上の入力データに上書きし、他のブロックで使用するエッジ部107とコーナ部108の画像データ104は一度ローカルメモリ6に退避させて1フレーム分遅延させ、1フレーム分の処理が終了した後、フィードバックフレ

ームメモリ12に1フレーム分のデータ105を転送する。その結果、無効データはフィードバックフレームメモリ12にそのまま残り、有効ブロックデータのみ書き換えられる。

上記の制御方式においては、1フレームをM個のプロセッサ5で処理したときの1フレーム当たりの処理時間Tは、

$$T \cong \frac{T_f}{M} \cdot \frac{\alpha}{100} \leq \frac{T_f}{M}$$

T_f : 1つのプロセッサ5で1フレームの処理を行ったときの、1フレームあたりの処理時間

α : 有効ブロック率(百分率)

で与えられる。

(発明の効果)

以上のように、この発明によれば複数の並列接続されたプロセッサにより、入力バスから入力されたフレーム単位の画像を小画面の複数ブロックに分けて並列処理して、外部バスへ出力できるようにし、これらの各プロセッサの処理状態や外部

バスの使用状態を状態レジスタに格納し、この状態レジスタの状態出力にもとづいて、データフロー制御部により上記プロセッサの負荷配分を上記ブロック単位で動的に割り付け、かつこれらのプロセッサが上記入力バス、出力バスに非同期にアクセスするように構成したので、比較的低速のプロセッサを少数設けるだけで、効率良く動画の符号化、処理および送出を制御することが可能になり、システムの小型化、ローコスト化に寄与できるものが得られる効果がある。

4. 図面の簡単な説明

第1図はこの発明の一実施例によるマルチプロセッサ制御装置を示すブロック接続図、第2図は第1図の要部を詳細に示すブロック接続図、第3図はこの発明においてフレーム分割した処理ブロックを示す説明図、第4図はこの発明においてプロセッサの負荷配分方法を示す説明図、第5図は従来のマルチプロセッサ制御装置を示すブロック接続図、第6図は典型的な動画符号化で用いられるフィルタ処理の原理を示す説明図、第7図は

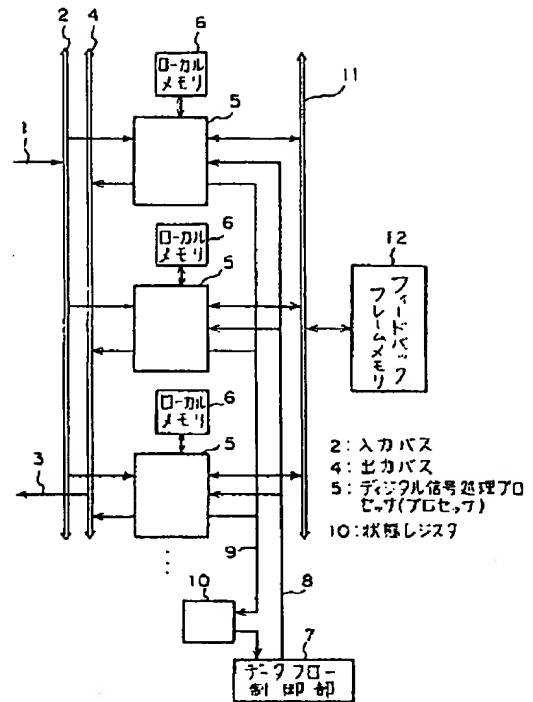
フレーム画像の分割領域および処理時間を示す説明図である。

2は入力バス、4は出力バス、5はデジタル信号処理プロセッサ(プロセッサ)、10は状態レジスタ。

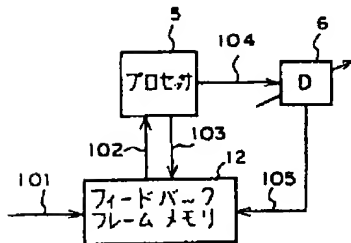
なお、図中、同一符号は同一、または相当部分を示す。

特許出願人 三菱電機株式会社
代理人 弁理士 田澤博昭
(外2名)

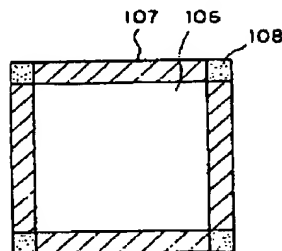
第1図



第2図



第3図



第4図

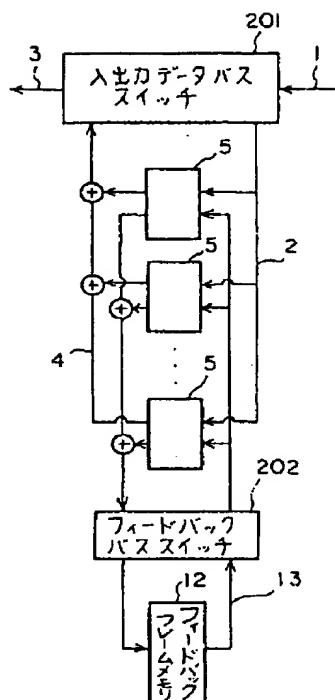
(a)

a1	b1	c1	c2	a2
b2	b3	a3	c3	b4
a4	b5	c4	a5	b6
c5	c6	a6	a7	a8
b7	c7	a9	b8	c8
...

(b)

プロセッサ 5A	a1	a2	a3	
プロセッサ 5B	b1	b2	b3	b4
プロセッサ 5C	c1	c2	c3	

第 5 図

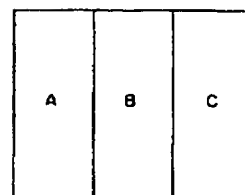


第 6 図

$X_{i-1,j-1}$	$X_{i-1,j}$	$X_{i-1,j+1}$
$X_{i,j-1}$	$X_{i,j}$	$X_{i,j+1}$
$X_{i+1,j-1}$	$X_{i+1,j}$	$X_{i+1,j+1}$

第 7 図

(a)



(b)

